

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 58192338
PUBLICATION DATE : 09-11-83

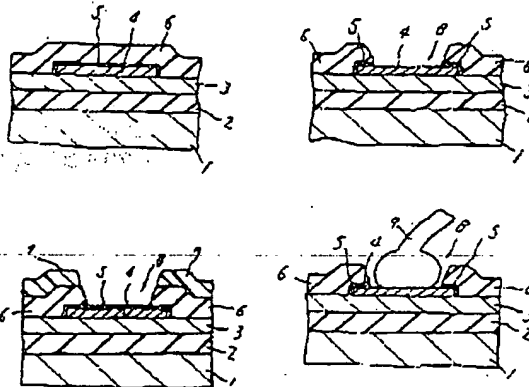
APPLICATION DATE : 07-05-82
APPLICATION NUMBER : 57075353

APPLICANT : HITACHI LTD;

INVENTOR : SHIMADA SHIGERU;

INT. CL. : H01L 21/60 H01L 21/94

TITLE : SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE



ABSTRACT : PURPOSE: To process a protective film stably and efficiently, and to protect a junction pad around a junction region as a foundation effectively by forming a film, an etching rate thereof is sufficiently smaller than the protective film, to the surface of the pad.

CONSTITUTION: An SiO₂ film 2 and a PSG film 3 are superposed onto an Si substrate 1, and the Al pad 4 is formed. An anode oxide film 5 is formed thinly on the surface of the pad 4, and coated with an SiO₂ film 6 through a plasma method. The surface is coated with a resist mask 7 and the film 6 is etched, and the junction region 8 is formed. The pad 4 is protected at that time because the etching rate of the Al₂O₃ film 5 is sufficiently later than the SiO₂ film 6, wet type etching is enabled even when the film thickness or etching rate of the film 6 varies, SiO₂ can be processed stably, and stepped difference around the region 8 is made gentle. The Al₂O₃ film 5 is removed through etching by sulfamic acid, the pad 4 is exposed, a wire 9 is joined, and the device is completed.

COPYRIGHT: (C)1983,JPO&Japio

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—192338

⑤ Int. Cl.³
H 01 L 21/60
21/94

識別記号

庁内整理番号
6819—5F
7739—5F

④ 公開 昭和58年(1983)11月9日

発明の数 2
審査請求 未請求

(全 3 頁)

⑭ 半導体装置及びその製造方法

社日立製作所武蔵工場内

⑯ 特 願 昭57—75353

⑰ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

⑱ 出 願 昭57(1982)5月7日

⑲ 発 明 者 島田茂

⑳ 代 理 人 弁理士 薄田利幸

小平市上水本町1450番地株式会

明 細 書

発明の名称 半導体装置及びその製造方法

特許請求の範囲

1. ボンディング領域を残してボンディングパッドがパッシベーション膜によって被覆されている半導体装置において、前記ボンディング領域周辺の前記ボンディングパッドの表面に、前記パッシベーション膜よりも充分にエッチング速度の小さい被膜が形成されていることを特徴とする半導体装置。

2. 半導体基体上にボンディングパッドを形成する工程と；このボンディングパッドの少なくとも上面に、その上に被覆するパッシベーション膜よりも充分にエッチング速度の小さい被膜を形成する工程と；この被膜上を含む全面に前記パッシベーション膜を被覆する工程と；このパッシベーション膜のうちボンディング領域の部分をエッチングで除去する工程と；この除去部分における前記被膜の露出部分を除去する工程とを有することを特徴とする半導体装置の製造方法。

発明の詳細な説明

本発明は半導体装置及びその製造方法に関するものである。

ホットエレクトロンによる V_{th} シフト(しきい値電圧の変動)はパッシベーション膜に依存性がある。例えば、プラスチック用パッシベーション膜としてプラズマ析出法による酸化シリコン膜を使用する場合、上記 V_{th} シフトは大きくなり、望ましくない。このため、本発明者は、上記酸化シリコン膜に代わるパッシベーション膜としてプラズマ析出法による酸化シリコン膜(以下、P-SiOと称する)を検討した。しかし、このP-SiOは V_{th} シフトが小さくて特性的には良好であるが、そのエッチング速度又は時間、及びその被覆時の膜厚にばらつきがあり、しかもウエットエッチングを行なうと下地のボンディングパッド(アルミニウム)がヒロック部分(パッド面に存在する小突起)からエッチングされて小孔が生じ、この小孔から下地のリンガラス膜のリンが上方へ溶出し、パッド腐食を引起す原因となることが判明した。

従って、本発明の目的は、 V_{th} シフトを小さくすると共に、パッシベーション膜を効率良く安定に加工し、しかも下地のパッドを有効に保護することにある。

以下、本発明の実施例を図面について詳細に説明する。

本実施例によるパッド構造及びその作成方法をその作成プロセスに沿って説明すると、まず第1図のように、半導体基板1の一主面に設けたフィールド SiO_2 膜2上にリンガラス膜3を形成し、更に全面に真空蒸着技術で付着したアルミニウムをフォトリソエッチングでパターンニングしてアルミニウムのボンディングパッド4(及びその配線)を形成する。

次いで第2図のように、アルミニウムパッド4の表面を特に陽極酸化技術で酸化して薄い酸化アルミニウム被膜5を形成する。勿論、この被膜はパッド4に連なるアルミニウム配線の表面にも形成される。前述の陽極酸化アルミニウム被膜は、フォトリソエッチング前に、アルミニウム全面に形成

ない易くなる。

次いで第5図のように、ボンディング領域8に露出している酸化物被膜5のみをエッチング(エッチャントはスルファミン酸でよい)し、パッド4の表面を露出させる。

次いで第6図のように、ボンディングワイヤ9をボンディング領域8のパッド4上に圧着せしめ、ワイヤボンディングを行なう。

なお、本実施例では、上記した顕著な結果が得られるのは、酸化物被膜5の耐エッチング性(ストップ作用)によるためである。この被膜5によって、P-SiO膜6は膜厚にばらつきがあってもオーバーエッチングすることが可能であり、従って安定で効率良い加工が実現でき、パッド保護も同時に図ることができる。また、ファイナルパッシベーション膜としてP-SiOを用いているので、 V_{th} シフトによる特性劣化を防止し得ることは勿論である。

なお、上記の実施例において、酸化物被膜5はパッド4の上面にのみ存在していてもよい。また、

してもよい。

次いで第3図のように、プラズマ析出法によりP-SiO膜6を全面に成長させ、しかる後、第4図のように、フォトリソレジスト7をマスクとしてP-SiO膜6をエッチングし、ボンディング領域8を形成する。この場合、パッド4表面の酸化物被膜5はP-SiO膜6より充分にエッチング速度が小さいために、P-SiOエッチング時にパッド4を保護する働きがある。従って、P-SiOエッチングにウエットエッチングを適用しても、P-SiO膜6のみを選択的にエッチングできることになり、下地のパッド4は既述した如くにエッチされることはなく、パッドの損傷及びリン溶出によるパッド腐食が生じることはない。しかも、P-SiO膜6の成長時の膜厚にばらつきがあったり、そのエッチング速度にばらつきが生じて、従来困難であったウエットエッチングが可能となり、安定にP-SiOを加工できる。ウエットエッチングによって、ボンディング領域8の周辺段差が緩やかとなり、被記のワイヤボンディングを行

他の処理法によって、パッド4の表面には酸化アルミニウム以外の同様の性質を有する表面被膜を形成することができる。

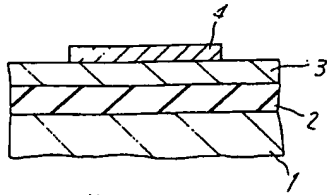
図面の簡単な説明

第1図、第2図、第3図、第4図、第5図及び第6図は本発明の実施例による構造をその製造プロセス順に説明するための各断面図である。

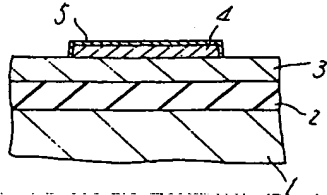
4…アルミニウムパッド、5…酸化物被膜、6…P-SiO膜、8…ボンディング領域、9…ボンディングワイヤ。

代理人 弁理士 薄 田 利 幸

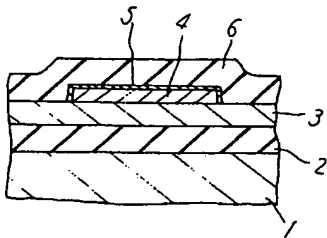
第 1 圖



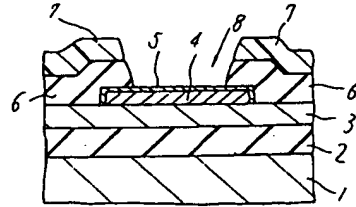
第 2 圖



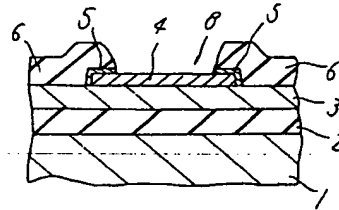
第 3 圖



第 4 圖



第 5 圖



第 6 圖

